

PATENT ABSTRACTS OF JAPAN

(11)Publication number : A 03-155597

B 05-47840

(43)Date of publication of application : 03.07.1991

(51)Int.Cl.

G10K 15/12

(21)Application number : 02-292494

(71)Applicant : YAMAHA CORP

(22)Date of filing : 30.10.1990

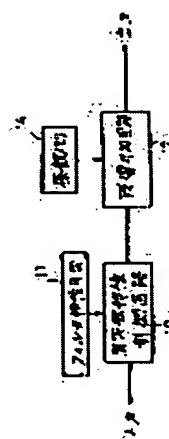
(72)Inventor : KAKUBO YUUJI
NIIMI KOJI
IKEGAYA YUJI

(54) REVERBERATION ATTACHING DEVICE

(57)Abstract:

PURPOSE: To reproduce a reverberation tone in a natural field with fidelity by changing filter characteristic to be attached on the reverberation tone in point of time.

CONSTITUTION: The device is equipped with a frequency characteristic control means 10 to attach the filter characteristic on an input signal itself or a generated reverberation tone, and a filter characteristic varying means 11 to attach temporal change on the filter characteristic. For example, the filter characteristic is attached on the input signal at the frequency characteristic circuit 10. The filter characteristic is variably controlled in point of time with the filter characteristic varying means 11. The output of the frequency characteristic control circuit 10 is inputted to a reverberation attaching circuit 12. Thereby, it is possible to reproduce the reverberation tone in the natural field with fidelity by changing the filter characteristic in point of time so as to attenuate a high-pass area earlier in the reverberation attaching device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 特 許 公 報 (B 2)

平5-47840

⑬ Int. Cl.⁵
G 10 K 15/12

識別記号

庁内整理番号

⑭ 公告 平成5年(1993)7月19日

7227-5H G 10 K 15/00

B

発明の数 1 (全21頁)

⑮ 発明の名称 残響付加装置

⑯ 特 願 平2-292494

⑰ 公 開 平3-155597

⑱ 出 願 昭60(1985)6月25日

⑲ 平3(1991)7月3日

前実用新案出願日援用

⑳ 発 明 者 鹿 窪 友 詞 静岡県浜松市中沢町10番1号 ヤマハ株式会社内
㉑ 発 明 者 新 美 幸 二 静岡県浜松市中沢町10番1号 ヤマハ株式会社内
㉒ 発 明 者 池 ヶ 谷 祐 治 静岡県浜松市中沢町10番1号 ヤマハ株式会社内
㉓ 出 願 人 ヤマハ株式会社 静岡県浜松市中沢町10番1号
㉔ 代 理 人 弁理士 加藤 邦彦 外1名
審 査 官 小 林 信 雄
㉕ 参 考 文 献 特開 昭50-39501(JP, A) 特開 昭51-57149(JP, A)

1

2

㉖ 特許請求の範囲

1 入力信号データに対して所定の係数データに基づきデータ演算を行ない前記入力信号の残響音データを作成する残響付加手段と、

入力信号データの途絶を検出する入力途絶検出手段と、

入力信号データが途絶する直前の前記入力信号データ、またはこの入力信号データから作成した前記残響音データ、または前記係数データにフィルタ特性を加える周波数特性制御手段と、

前記入力途絶検出手段で検出される入力信号の途絶に合わせて、前記周波数特性制御手段のフィルタ特性の帯域を徐々に低域方向に狭めるように当該フィルタの係数データに対して時間的変化を付加する制御を実行するフィルタ特性可変手段とを具備してなる残響付加装置。

発明の詳細な説明

〔産業上の利用分野〕

この発明は、音楽信号等に人工的に残響を付加するための残響音付加装置に関し、残響音の周波数特性を時間的に制御するようにしたものである。

〔従来の技術〕

音楽信号等に人工的に残響を付加する場合、電

子的な方法として最も直接的なものは、仮想するホール等の音響空間におけるインパルス応答に対応して、直接音から種々の時間遅れをもつ信号の重ね合せとして表現する方法である。すなわち、仮想する音響空間のインパルス応答が、第2図に示すように、直接音に対して遅延時間 τ_i とレベル g_i ($i=1, 2, \dots, n$)で構成される複数の反射音の列であるとする、この遅延時間 τ_i とレベル g_i と係数パラメータ(反射音パラメータ)として、入力信号の各サンプルについて反射音列をそれぞれ作成し、各サンプルの反射音を同時刻ごとに重ね合わせていくことにより(このように遅延信号にゲインをかけて加算する演算をたたみ込み演算という)、残響音が作成される。

この重ね合せは、第3図に示すように、マルチタップを持つシフトレジスタ1に入力信号の各サンプル値をサンプリング周期 τ_0 ごとに順次シフトしながら入力し、1サンプリング周期内 τ_0 において、遅延時間 $\tau_1 \sim \tau_n$ に対応する各タップから各サンプルの遅延信号 $x_1 \sim x_n$ をそれぞれ出力し、これらをアンプ2-1~2-nでそれぞれゲイン $g_1 \sim g_n$ を付与し、加算器3で加算するもので、

3

$$X_{out} = \sum_{i=1}^n x_i \cdot g$$

なる残響信号の1つのサンプルが作成される。そして、この演算を入力信号のサンプリング周期 τ_s ごとに繰り返すことにより、一連の残響信号が作成される。

また、上記インパルス応答を用いる方式以外にも、各種の人工的に残響を付加する装置がある。
〔発明が解決しようとする課題〕

従来の残響付加装置で作成される残響信号は周波数特性を考慮していなかったが、自然界では残響の周波数特性は時間とともに変化する。すなわち、自然界では残響は高域成分ほど早く減衰し、時間とともに低域成分だけになっていく。したがって、前記の残響付加においても、作成する残響信号の周波数特性を時間的に制御できればより自然な残響音を作成することができる。

また、このような目的以外にも、特殊効果を得る等の目的で残響音の周波数特性を時間的に制御できれば便利である。

この発明は、前記従来の技術における問題点を解決して、残響音の周波数特性を時間的に制御することができる残響付加装置を提供しようとするものである。

〔課題を解決するための手段〕

この発明は、入力信号データに対して所定の係数データに基づきデータ演算を行ない前記入力信号の残響音データを作成する残響付加手段と、入力信号データの途絶を検出する入力途絶検出手段と、入力信号データが途絶する直前の前記入力信号データ、またはこの入力信号データから作成した前記残響音データ、または前記係数データにフィルタ特性を加える周波数特性制御手段と、前記入力途絶検出手段で検出される入力信号の途絶に合わせて、前記周波数特性制御手段のフィルタ特性の帯域を徐々に低域方向に狭めるように当該フィルタの係数データに対して時間的な変化を付加する制御を実行するフィルタ特性可変手段とを具備してなるものである。

〔作用〕

この発明によれば、入力信号が途絶したときに残響信号の高域が早く減衰するようにフィルタ特性を時間的に変化させることにより、自然界にお

4

ける残響音を忠実に再現することができる。なお、同様の残響音を得るための別の手法として、入力信号を周波数帯域ごとに分割して、高域側では残響時間が短く、低域側では残響音が長くなるように個別の回路で残響信号を生成してこれらを合成して出力することもできるが、このようにすると周波数帯域ごとに残響付加手段を設ける必要があり、装置規模が大きくなる問題がある。これに対し、この発明のように、フィルタ特性を時間的に変化させるようにすれば、周波数帯域ごとに分割して残響付加手段を設ける必要がなくなるので、装置規模が小さくてすむ。

〔実施例〕

インパルス応答を係数パラメータとして、たたみ込み演算を行ない入力信号の残響音を作成する残響付加装置にこの発明を適用した実施例を説明する。ここでは、残響音を作成する前のデータ、または残響音を作成した後のデータ、または前記係数パラメータにフィルタ特性を加え、かつこのフィルタ特性に時間的な変化を付加するようにした各場合について説明する。

〔実施例 1〕

この発明の第1実施例を第1図に示す。これは、残響信号を作成する前の入力データに周波数特性を付与するようにしたものである。

第1図において、入力信号は周波数特性制御回路10でフィルタ特性が付与される。このフィルタ特性はフィルタ特性可変手段11により時間的に可変制御される。周波数特性制御回路10の出力は、残響付加回路12に入力される。残響付加回路12は、係数メモリ14に記憶されているインパルス応答のパラメータ（遅延時間とレベルに関するパラメータ）に基づき、入力信号の各サンプルについて残響信号をそれぞれ作成し、それらをたたみ込み演算により加算して一連の残響信号を作成する（前記第3図に示した演算）。周波数特性制御回路10のフィルタ特性を時間的に可変制御することにより、残響付加回路12からは、時間的に変化するフィルタ特性が付与された残響信号が出力される。

〔実施例 2〕

この発明の第2実施例を第4図に示す。これは、残響信号を作成した後のデータにフィルタ特性を付与するようにしたものである。

5

第4図において、入力信号は残響付加回路12に入力される。残響付加回路12は、係数メモリ14に記憶されているインパルス応答の係数パラメータに基づき、入力信号の各サンプルについて残響信号をそれぞれ作成し、これらをたたみ込み演算により加算して、一連の残響信号を作成する。残響付加回路12から出力される残響信号は、周波数特性制御回路10でフィルタ特性が付与される。このフィルタ特性はフィルタ特性可変手段により時間的に可変制御される。

(実施例 3)

この発明の第3実施例を第5図に示す。これは、残響信号を作成するためのインパルス応答の係数パラメータにフィルタ特性を付与するようにしたものである。

第5図において、係数メモリ14に記憶されているインパルス応答の係数パラメータは周波数特性制御回路10でフィルタ特性が付与される。このフィルタ特性は、フィルタ特性可変手段11により時間的に可変制御される。残響付加回路12はこのフィルタ特性の付与された係数パラメータに基づき入力信号の各サンプルについて残響信号をそれぞれ作成し、これらをたたみ込み演算により加算して一連の残響信号を作成する。

インパルス応答のパターンとフィルタ特性とは同次元のものであるので、インパルス応答のパターンを周波数特性制御回路10に通すことで変形させて、この変形したインパルス応答を用いてたたみ込み演算を行なうことにより、そのフィルタ特性の付与された残響信号を得ることができる。

前記第1図、第4図、第5図の各実施例によれば、入力信号が途絶した場合に、残響信号の減衰に合わせて周波数特性制御回路10のフィルタ特性の帯域を低域の方向に狭めていくことにより、高域を早く減衰させることができ、自然界における残響音を忠実に再現することができる。

(周波数特性制御回路10の構成例)

前記各実施例における周波数特性制御回路10の構成例を第6図に示す。これは、周波数特性の異なる2系統のフィルタ回路を設けて、これらをクロスフェードさせることにより、周波数特性を徐々に切替えるようにしたものである。

第6図において、入力信号はA、B2系統に分岐され、フィルタ16、18にそれぞれ入力され

6

る。フィルタ16、18の周波数特性はそれぞれ独立に設定される。フィルタ16、18の出力は乗算器20、22でクロスフェード用係数 x 、 y がそれぞれ乗算されて、加算器24で加算されて出力される。係数 x 、 y は、例えば第7図に示すように、係数 x が0から1まで変化する間に、係数 y が1から0に変化するよう設定される。したがって、はじめはフィルタ16の特性だけが効いているが、時間とともにフィルタ16の特性が徐々に弱まってフィルタ18の特性が効きはじめる。最後にはフィルタ18だけの特性となる。このようにして、周波数特性を連続的に切替えていくことができる。例えばフィルタ16、18がともにローパスフィルタで、フィルタ16のカットオフ周波数が高い周波数 f_1 に設定され、フィルタ16のカットオフ周波数が低い周波数 f_2 に設定されているとすると、カットオフ周波数が f_1 から f_2 に徐々に変化していく周波数特性が得られる。

また、このような切替えを連続的に行なえば周波数特性を広い範囲にわたって変化させることが可能である。

第8図はその一例を示すもので、入力途絶して残響信号が徐々に減衰していく場合に、フィルタ特性を交互に切替えていくようにしたものである。ここでは、フィルタ特性として、例えば第9図にa~iで示す特性を用いる。係数 x 、 y は、第8図に示すように、1~0の間を連続的かつ周期的に、かつ x 、 y が相互に反転した関係($x+y=1$)を保持して変化する。フィルタ特性は、第8図に示すように、係数が0→1→0と変化する間1つのフィルタ特性が連続して使用され、係数が0に減衰したら次のフィルタ特性に切替えていく。すなわち、第8図の例では、入力を持続しているときは、 $x=1$ 、 $y=0$ で、A系統側のフィルタ16の特性が生かされて、カットオフ周波数の最も高いaの特性に設定されている。入力途絶すると、A系統側はフィルタ特性がaのまま、係数 x の値が1→0へと徐々に減衰し、B系統側はフィルタ特性がaよりもカットオフ周波数の低いbに設定されて、係数 y の値が0→1へと徐々に増加する。係数 x が0になると、A系統側のフィルタ特性がbよりもカットオフ周波数の低いcに切替えられる。このようにして、A系統、B系統で係数 x 、 y の値が交互に0になることに

a, b, c, d, …… , i と順次カットオフ周波数の低いフィルタ特性に切替えることにより、残響信号は高域成分が早く減衰し、低域成分が長く残る自然界における残響音の特性を忠実に再現することができる。

ところで、第6図のフィルタ16, 18は、FIR(finite impulse response: 非巡回形フィルタ)やIIR(infinite impulse response: 巡回形フィルタ)等のデジタルフィルタで構成することができる。2次IIR形フィルタで構成した一例を第10図に示す。これは、入力信号に乗算器26で係数(ゲイン)A₀を付与した信号と、入力信号を遅延素子27で1サンプリング周期τ₀遅らせて乗算器28で係数A₁を付与した信号と、入力信号を遅延素子27, 29で周期2τ₀遅らせて乗算器30で係数A₂を付与した信号とを加算器31で加算し、加算器31の出力を遅延素子32で周期τ₀遅らせて乗算器33で係数B₁を付与した信号と、加算器31の出力を遅延素子32, 34で周期2τ₀で遅らせて乗算器35で係数B₂を付与した信号とを加算器31にフィードバックさせたものである。この回路では、入出力間の伝達係数H_ωとして、

$$H_{\omega} = \frac{\text{出力}}{\text{入力}} = \frac{A_0 + A_1 Z^{-1} + A_2 Z^{-2}}{1 - B_1 Z^{-1} - B_2 Z^{-2}}$$

が得られる。係数A₀, A₁, A₂, B₁, B₂の値によりフィルタ特性を任意に設定することができる。

フィルタ16, 18をFIR形フィルタで構成した第6図の周波数特性制御回路10の構成例を第11図に示す。これは、例えば第12図に示すように、入力信号x₀を遅延素子40で1サンプリング周期τ₀ずつ遅延させて、各段(ここでは20個のサンプル点でフィルタ特性を表わす例を示している。)の遅延出力に各乗算器42……で係数a₁~a₂₀を付与し、各a₁x₀~a₂₀x₀を加算器44で累算して(すなわちたたみ込み演算して)入力信号x₀にローパスフィルタの特性を付与するようにしたものである。係数a₁~a₂₀の値でフィルタ特性が設定される。そして、第11図の回路では特にRAMを用いたプログラム制御でこれを実現している。なお、第11図の回路で用いられている各制御信号を第13図に示す。

第11図において、フィルタ特性パラメータメモリ46は、設定しようとする各フィルタ特性

(例えば第9図のa, b, …… , iの特性)ごとに、その周波数特性を決定する係数a₁~a_m, b₁~b_m, …… , i₁~i_m(各々m個のサンプル点でフィルタ特性を表わす場合)の値を下記第1表に示すように各アドレスに記憶している。

第1表: フィルタ特性パラメータメモリ46の記憶内容

アドレス	対応する遅延時間(τ ₀ :1サンプリング周期)	フィルタ特性				
		a	b	c	…	i
0	τ ₀	a ₁	b ₁	c ₁	…	i ₁
1	2τ ₀	a ₂	b ₂	c ₂	…	i ₂
2	3τ ₀	a ₃	b ₃	c ₃	…	i ₃
3	4τ ₀	a ₄	b ₄	c ₄	…	i ₄
⋮	⋮	⋮	⋮	⋮	⋮	⋮
m	mτ ₀	a _m	b _m	c _m	…	i _m

フィルタ特性選択回路48は、フィルタ特性パラメータメモリ46に記憶されているフィルタ特性(a~i)のうち2つのフィルタ特性を選択する。

データメモリ50はm+1個のアドレスを有し、入力信号のサンプルを古いサンプルが記憶されているアドレスから順に更新して新しいサンプルを書込んでいく。これにより、データメモリ50には、常に現時点から過去m+1個のサンプルが記憶された状態となる。

カウンタ52はデータメモリ50の書込アドレスを指令するもので、入力信号のサンプリング周期τ₀ごとに発生するクロックC1によつてカウントアップされ、mカウントまで達したら再び0からカウントを繰り返す。

カウンタ54は、フィルタ特性パラメータメモリ46およびデータメモリ50の読出アドレスを指令するもので、入力信号のサンプリング周期τ₀の間にm+1個発生するクロックC2によつて0~mまでカウントアップする。カウンタ52の値は引算器56でカウンタ54の値が引算され、データメモリ50にアドレスとして加わる。

データメモリ50は、カウンタ54の値が0の時クロックC3によつて書込モードに切替えら

れ、それ以外のカウント値のとき読出モードにある。したがって、書込モードのときはカウンタ52の値がそのままデータメモリ50に書込アドレスとして加わり、そのアドレスに入力サンプルが書込まれる。書込後データメモリ50は読出モードに戻り、カウンタ54はクロックC2によつて順次カウントアップされていく。そして、引算器56においてカウンタ52の値（最新データのアドレス）と引算され、現時点よりも1つ前のサンプル、2つ前のサンプル、……、m個前のサンプルが1サンプリング周期 τ_0 内に順次読み出されていく。

また、フィルタ特性パラメータメモリ46は、カウンタ54の値をアドレスとして、前記第1表に示すフィルタ特性a~iのうちフィルタ特性選択回路48で選択された2つのフィルタ特性（例えばaとbの特性）の係数（ $a_1 \sim a_m$, $b_1 \sim b_m$ ）を並行して順次出力する。

データメモリ50の出力データは2つの系統A, Bに導かれ、乗算器58, 60でフィルタ特性パラメータメモリ46から順次出力されるフィルタ特性の係数が付与される。遅延データの読出とフィルタ特性の係数の読出はカウンタ54により同期が取られているので、乗算器58, 60では読出されている遅延データに対応した係数が付与される。

乗算器58の出力データは、加算器62とレジスタ64からなるアキュムレータで順次累算され、周期 τ_0 内に得られるm個のデータの総累算値はクロックC1によつてレジスタ66にラッチされる。累算値がレジスタ66にラッチされると、レジスタ64はクロックC1の反転信号によつてリセットされ、次のサンプリング周期における累算に備える。

乗算器60の出力データについても同様に処理される。

以上により、レジスタ66, 72からは、入力信号にフィルタ特性選択回路48で選択されたフィルタ特性を付与したデータが出力され、これらは乗算器74, 76においてクロスフエード用の係数x, yがそれぞれ付与される。

クロスフエード用パラメータメモリ78は、係数x, y（第7図参照）を例えば下記第2表に示す値を各アドレスに記憶している。

第2表：クロスフエード用
パラメータメモリ
78の記憶内容

アドレス	クロスフエード用係数	
	x	y
0	1.0	0.0
1	0.9	0.1
...
9	0.1	0.9
10	0.0	1.0

カウンタ80は、トリガ信号TRGによつてトリガされると、入力信号の1サンプリング周期 τ_0 よりも非常に長い周期のクロックC4によつてカウントアップされる。このカウント値はメモリ78にアドレスとして加わり、前記第2表に示す係数x, yが順次読み出される。乗算器74, 76の出力データは加算器78で加算されて、入力信号と同じサンプリング周期 τ_0 で出力される。このようにして、A系統のフィルタ特性からB系統のフィルタ特性に順次切替えられていく。

なお、A系統からB系統に完全に切替えられた場合（すなわち、カウンタ80の値が10になった場合）、カウンタ80のカウントを停止させれば、B系統のフィルタ特性がその後継続して生かされる。

また、A系統からB系統に完全に切替えられた場合、A系統を別のフィルタ特性に切替えるときにも、カウンタ80をダウンカウントに切替えれば、B系統のフィルタ特性からA系統の新たなフィルタ特性に順次切替えていくことができる。更にカウンタ80の値が0まで下がったら、B系統を別のフィルタ特性に切替えるときにも、カウンタ80をアップカウントに切替えれば、A系統のフィルタ特性からB系統の新たなフィルタ特性に切替えていくことができる。このようにして、前記第8図に示したようなフィルタ特性の切替が実現される。

（第1図、第4図における残響付加回路12および係数メモリ14の構成例）

前記第1図の実施例（残響付加前の入力信号にフィルタ特性を付与するもの）や第4図の実施例（残響付加後の入力信号にフィルタ特性を付与するもの）に適用される残響付加回路12および係数メモリ14の構成例を第14図に示す。第14図の回路は、前記第3図に示した残響付加の原理をRAMを用いたプログラム制御で実現したものである。そしてここでは、残響信号作成のために1サンプリング周期 τ_0 内に行なうことができるたたみ込み演算の速度に限界があることから、第2図のインパルス応答のパラメータ $(\tau_1, g_1) \sim (\tau_n, g_n)$ の全てを使用するのではなく、ある領域を選んでたたみ込み演算を行なうようにしている。すなわち、入力信号が持続しているときは、後部残響音はマスキングされ、これをカットしても聴感上問題はないので、初期残響音のパラメータ $(\tau_1, g_1) \sim (\tau_1, g_1)$ のみを使用してたたみ込み演算により残響音を作成する。また、入力信号が途絶したときは、マスキング作用がなくなり、初期残響音だけでは残響音が急に途切れて不自然な感じがするので、使用するパラメータの領域を $(\tau_2, g_2) \sim (\tau_{i+1}, g_{i+1})$ 、更には $(\tau_3, g_3) \sim (\tau_{i+2}, g_{i+2})$ と順次下位に移行させていくようにして、初期から中期を経て後期に至る自然な残響音を得ている。以下、使用するパラメータの領域をこのように順次下位に移行させて行なうたたみ込み演算を「適応形」たたみ込みという。なお、第14図の回路で用いられている各制御信号を第15図に示す。なお、第15図のクロックC1は前記第13図のクロックC1と同じもの（サンプリング周期 τ_0 ごとに発生する信号）である。

第14図において、入力信号はプリメモリ82に一旦記憶される。プリメモリ82は適応形に移行するか否かを決定するため入力信号が持続しているか途絶したかを検出するのに必要な数10ミリ秒程度の区間の入力信号を記憶している。

カウンタ80は、プリメモリ82に書込アドレスを与えるもので、周期 τ_0 ごとにクロックC1によってインクリメントされていく。

カウンタ86はプリメモリ82に読出アドレスを与えるもので、クロックC8によってカウントアップされて周期 τ_0 内にプリメモリ82の各アドレスのデータを読み出す。カウンタ86の値はクロックC7によって周期 τ_0 のはじめにリセットさ

れる。

プリメモリ82は、クロックC9によつて周期 τ_0 のはじめに1度書込モードに切替えられる。このとき、カウンタ86はリセットされており、カウンタ80の値がそのまま出力され、その値が示すプリメモリ82のアドレス（最古データの記憶アドレス）に入力信号の新しいサンプルが書き込まれる。

クロックC9以外のタイミングでは、プリメモリ82は読出モードにあり、引算器84でカウンタ80の値からカウンタ86の値を引いた値が読出アドレスとして与えられて、プリメモリ82の記憶内容が1サンプリング周期 τ_0 内に順次読み出される。

係数メモリ14は、インパルス応答の係数パラメータを下記第3表に示すように各アドレスに記憶している。

第3表：係数メモリ14
の記憶内容

アドレス	インパルス応答の係数パラメータ	
	遅延時間データ	ゲインデータ
0	0	0
1	τ_1	g_1
2	τ_2	g_2
3	τ_3	g_3
⋮	⋮	⋮
n	τ_n	g_n

なお、ここで遅延時間データ τ_n は、便宜上、入力信号の1サンプリング周期 τ_0 の何個分に相当するかという形で記憶されるものである。（これを実時間の形で記憶することも可能であるが、その場合回路上でのタイミングとのインターフェース構成が別途必要となる。）

データメモリ88は、残響信号を作成するため入力信号のサンプルを記憶するものである。

カウンタ90は、データメモリ88に書込アドレスを与えるもので、入力信号の1サンプリング周期 τ_0 ごとにクロックC1によってインクリメントされていく。引算器92は現在の書込アドレスに対する各遅延時間 τ_n のアドレスを求め、データ

13

メモリ 88 に読出アドレスとして与える。データメモリ 88 は、クロック C5 によつて周期 τ_0 に 1 度書込モードに切替えられる。このとき、遅延時間パラメータは 0 であるので、引算器 92 からはカウンタ 90 の値がそのまま出力され、その値が示すデータメモリ 88 のアドレスにプリメモリ 82 の出力が書き込まれる。このとき、プリメモリ 82 はカウンタ 80 によつて次の書込アドレスが指令されているので、データメモリ 88 に書込まれるデータはプリメモリ 82 の容量分遅延された入力信号のサンプルとなる。

クロック C5 以外のタイミングでは、データメモリ 88 は読出モードに切替えられ、係数メモリ 14 から周期 τ_0 内に順次出力される各遅延時間パラメータ τ_n により、書込アドレスを基準として n の各遅延時間にあるデータが順次読み出される。

データメモリ 88 から順次読み出される入力信号の各遅延データ x_n は乗算器 94 において、係数メモリ 14 から順次出力される各レベルパラメータ g_n がそれぞれ乗算されて、 $g_n \cdot x_n$ が順次出力される。

アキュムレータ 96 は、乗算器 94 からの乗算値を加算器 98 とレジスタ 100 で累算していく。これにより、アキュムレータ 96 からは最終的に周期 τ_0 内の総累算値が出力される。レジスタ 100 の内容は、全乗算値の累算後クロック C6 によつてリセットされる。

ゼロ検出回路 104 (入力途絶検出手段) は、入力信号のレベルを検出するもので、1 サンプル周期 τ_0 内にプリメモリ 82 から順次読出される遅延データを乗算器 106 でそれぞれ自乗し、各自乗値を加算器 108 とレジスタ 110 で累算する。そして周期 τ_0 内の総累算値をクロック C1 でレジスタ 112 に転送する。このようにしてレジスタ 112 には、入力信号のレベルに対応した値が保持される。レジスタ 110 はクロック C1 によつてサンプリング周期 τ_0 ごとにリセットされる。

適応形動作パラメータの読出は次のようにして行なわれる。

ゼロ検出回路 104 の出力がゼロとなつた場合比較器 118 はカウンタ 120, 122 をリセットする。カウンタ 120 は適応形動作パラメータデータの初期値を設定するもので、リセット時

14

には“1”、リセット解除時には、一致検出回路 124 の出力のカウント値となる。

カウンタ 116 は読出アドレスを指令するもので、周期 τ_0 に一度出力されるクロック C7 によつてリセットされ、次のクロック C8 でカウンタ 120 の値を読み込み、その値を初期値としてクロック C8 をカウントアップし、周期 τ_0 内に適用形動作に用いる i 個の読出アドレスを出力する。カウンタ 120 が“1”の時 (入力信号持続時) は、カウンタ 116 が“1”にプリセットされ、係数メモリ 14 はアドレス 1 からアドレス i まで順次指定されていく。

カウンタ 122 は、ゼロ検出によつてリセット解除され、以後クロック C1 によつてカウントアップされていく。このカウント値は、適応形動作移行後のサンプル数に対応し、適応形動作移行後の経過時間 (入力信号が途絶えてからの経過時間) t を意味する。

一致検出回路 124 は、適応形動作の各遅延時間パラメータ $\tau_1 \sim \tau_n$ と時間 t を比較し、一致するごとにパルスを出力し、カウンタ 120 がこれをカウントする。これは適応形動作では、入力信号途絶後の経過時間 t よりも以後の (すなわち t よりも大きい) 遅延時間のパラメータが適用されるので (時間 t よりも前の (t よりも小さい) 遅延時間に対応する入力信号データは、入力が途絶えて 0 となつているので、これをたたみ込んでも無意味なため)、入力信号が途絶えてからいくつのパラメータを経過したかを求め、現時点で何番目のパラメータからたたみ込み演算に適用していけばよいかを決定するためである。

カウンタ 120 の値を初期値としクロック C5 をカウントするカウンタ 116 の値は読出アドレスとして係数メモリ 14 に加わり、対応パラメータデータが読み出される。

なお、第 14 図においてタイミングコントローラ 130 は、各回路を動作させるための制御信号を出力するものである。

第 14 図の回路の動作の一例を第 15 図に示す。ただしこれは、まだ適応形動作に至らない状態を示している。

サンプリング周期 τ_0 はクロック C1 で開始され、このクロック C1 をカウンタ 80, 90 でカウントして、書込アドレスが 1 ずつずれていく。

15

遅延時間パラメータは、はじめは0なので、そのときカウンタ80、90の値がそのままアドレス信号としてデータメモリ88に加わる。データメモリ88は、クロックC5で書込みが行なわれる。このとき、プリメモリ82ではカウンタ80が次の書込アドレスを指令しており、クロックC5によつてそのアドレスのデータがデータメモリ88に転送される。プリメモリ82にはその後クロックC9によつて新データが入ってくる。

係数メモリ14からは、適応形動作パラメータがクロックC8の周期で順次読み出される。

第15図では、まだ適応形動作に至っていないので、カウンタ116の初期値は1(その前の0はリセット状態)となつて、適応形動作パラメータは $(r_1, g_1) \sim (r_n, g_n)$ と先頭から*i*個読み出されている。適応形動作が開始されると、カウンタ116の初期値が、2、3……と順次変化していき、パラメータもこれに応じ順次シフトしていく。

この適応形動作による1サンプリング周期 t_0 内における各演算値を累算していけば、各周期 t_0 の終わりに最終的累算値が得られ、これが1つの残響信号のサンプルとなる。そして、各サンプリング周期 t_0 ごとにこの動作を繰り返して一連の残響信号が作成される。

以上説明した第14図の残響付加回路12は第11図の周波数特性制御回路10と組合せて、第1図や第4図の実施例に適用可能である。この場合、第4図の実施例では、入力信号に残響付加を行なつた後にフィルタ特性を付与するので、入力信号が途絶した場合に、前記第8図に示したような残響信号の減衰とともに、フィルタ特性を徐々に変化させていくことが可能である。しかし、第1図の実施例では残響付加前にフィルタ特性を付与するので、入力信号が途絶した場合に周波数特性制御回路10の入力側では第8図の入力信号のように徐々に減衰する残響信号は得られず、第11図の周波数特性制御回路10と第14図の残響付加回路12の組合せでは、残響信号の減衰とともにフィルタ特性を徐々に変化させていくことはできない。

(第1図の回路の他の構成例)

そこで、第1図の実施例においても残響信号の減衰とともにフィルタ特性を徐々に変化させてい

16

くことを可能にした周波数特性制御回路10と残響付加回路12の構成例を第16図、第17図にそれぞれ示す。

第16図の周波数特性制御回路10は、入力側にプリメモリ132を設けて入力信号を一時蓄えてからデータメモリ50に送出するもので、プリメモリ132の記憶データに基づきゼロ検出回路134(入力途絶検出手段)で入力信号の持続/途絶状態を検出し、入力信号が途絶したことを検出したらデータメモリ50の書込を停止してデータメモリ50に途絶直前の入力信号のデータを保持してこれを繰り返し読み出してたたみ込み演算によりフィルタ特性を付与するようにし、このときフィルタ特性を切替えていくようにしている。また、第17図の残響付加回路12では、周波数特性制御回路10からのフィルタ特性の変化する出力に対し、適応形たたみ込み演算を適用して残響付加を行なっている。

第16図、第17図の回路の詳細について説明する。なお、第16図、第17図においては、前記第11図、第14図の回路と共通する部分には同一の符号を用いる。

第16図において、プリメモリ132はデータメモリ50と同じアドレス信号を用いて入力信号の書込および読出を行なっている。プリメモリ132の書込用クロックC3'は、データメモリ50の書込用クロックC3よりも一瞬遅れて発生される信号である。したがって、プリメモリ132の次の書込アドレスから読出が行なわれているときに、データメモリ50にはクロックC3によつてプリメモリ132から読出されているデータが書込まれるので、データメモリ50には、プリメモリ132の容量分遅延されたデータが書込まれていく。この直後、プリメモリ132がクロックC3'によつて書込が行なわれる。

ゼロ検出回路134は、第14図に示したものとほぼ同様であるが、レジスタ140の転送用クロックをクロックC2としている点が異なる。このゼロ検出回路134の出力は比較器144に入力され、所定のスレッショルドレベルより小さい場合、入力信号が途絶したと判断する。これにより、データメモリ50は新たな書込が停止され、カウンタ52はカウントを停止し、データメモリ50には途絶する直前の入力信号のデータが

保持され、このデータがサンプリング周期 τ_0 ごとに繰返し読出され、フィルタ特性パラメータメモリ46から読出されるフィルタ特性の係数が付与されて、たたみ込み演算によりフィルタ特性が付与される。

このとき、カウンタ80は比較器144の出力信号がトリガ信号TRGとなつて起動され、クロスフェード用パラメータメモリ78からクロスフェード用係数 x 、 y の値を順次読出してA系統の周波数特性とB系統の周波数特性の間でクロスフェードをかける。そして、一方の系統が完全に減衰するごとにカウンタのアップ/ダウンを切替え、また減衰した方の系統のフィルタ特性を切替えていくようにする。こうすることにより、この周波数特性制御回路10からは、入力信号が途絶した後もフィルタ特性が順次切替えられて信号が出力される。

第17図の残響付加回路12において、データメモリ88には第16図の周波数特性制御回路10の出力信号が入力されて、たたみ込み演算による残響付加が行なわれる。第16図の比較器144が入力信号の途絶状態を検出すると、カウンタ120、122はリセット解除され、適応形動作が実行される。すなわち、カウンタ122で適応形動作に移行してからの経過時間を求め、一致検出回路124で遅延時間パラメータ $\tau_1 \sim \tau_n$ と一致するごとにパルスを出し、これをカウンタ120でカウントし、カウンタ116の初期値を順次増大させ、係数メモリ14の読出アドレスが順次上位に変更されていき、残響付加に使用されるインパルス応答のパラメータが、初期→中期→後期と順次移行していく。このようにして適応形動作が行なわれる。この場合、入力には第16図の周波数特性制御回路10からフィルタ特性が順次切替えられた信号が入力されるので、第17図の残響付加回路12からは、フィルタ特性が順次変化する残響信号が出力される。このようにして、第1図の実施例においても前記第8図に示したような制御が実現される。

(第5図の実施例の構成例)

次に、第5図の実施例の構成例について説明する。

第5図の実施例は、前述のように、残響付加のためのインパルス応答のパラメータ自体にフィル

タ特性を付与したものである。これは、インパルス応答のパターンをフィルタに通して変形させて、この変形したインパルス応答を用いてたたみ込み演算を行なうことにより、所定のフィルタ特性の付与された残響信号を得ようとするものである。

第5図の実施例の構成例を第18図に示す。

第18図において、入力信号はその持続/途絶状態検出のためにプリメモリ150に一旦蓄えられた後データメモリ152に転送される。

係数メモリ14には、残響付加のためのインパルス応答の係数パラメータが記憶されている。インパルス応答は、第19図に示すように飛び飛びの時間に発生するので、前記第14図や第17図の実施例の係数メモリ14では、反射音が存在する部分だけについて遅延時間とレベルのパラメータでインパルス応答を表わして記憶していたが、(第3表参照)、ここではインパルス応答自体にフィルタ特性を付与するため、インパルス応答を時系列に並べたデータとして、サンプリング周期 τ_0 ごとの反射音のレベルを記憶する。すなわち、反射音がない部分もレベル0の反射音として記憶する。下記第4表は、一例として第19図のインパルス応答を用いる場合の係数メモリ14の記憶内容を示したものである。

第4表：係数メモリ14
の記憶内容

アドレス	対応する遅延時間	インパルス応答の係数パラメータ (ゲインデータ)
0	0	0
1	τ_0	0
2	$2\tau_0$	0
⋮	⋮	⋮
a-1	$(a-1)\tau_0$	0
a	$a\tau_0$	g_a

19

アドレス	対応する遅延時間	インパルス応答の係数パラメータ(ゲインデータ)
a+1	$(a+1)\tau_0$	0
b	$b\tau_0$	g_b
c	$c\tau_0$	g_c
d	$d\tau_0$	g_d

なお、係数メモリ14はサンプリング周期 τ_0 ごとのデータを記憶しており、アドレスそのものが遅延時間に対応しているので、前記第3表の場合のように遅延時間のデータは記憶する必要はない。

第18図において、カウンタ153はデータメモリ152の書込アドレスを指令するもので、クロックC1により周期 τ_0 ごとにカウントアップされる。カウンタ154は、データメモリ152および係数メモリ14の読出アドレスを指令するもので、クロックC8により周期 τ_0 ごとに所定数カウントアップされる。引算器155は、カウンタ153の値からカウンタ154の値を引算した値をデータメモリ152に読出アドレスとして与える。

ゼロ検出回路158(入力途絶検出手段)は、ブリエメモリ150の記憶内容に基づき入力信号のレベルを検出するもので、例えば前記第14図のゼロ検出回路104のように、ブリエメモリ150の記憶データの自乗和を求めるように構成される。

比較器160は、ゼロ検出回路158の出力を所定のスレッショルドと比較して、入力信号の持続/途絶状態を判別する。

カウンタ156は、適応形動作パラメータの初期アドレスを与えるもので、入力信号が持続しているときは、比較器160の出力によりリセットされている。したがって、このとき加算器162はカウンタ154のカウント値をそのまま読出

20

アドレス指令として係数メモリ14に与え、係数メモリ14はアドレス0からインパルス応答の係数パラメータを読み出す。また、入力信号が途絶するとカウンタ156はリセット解除されて、サンプリング周期 τ_0 ごとにカウントアップされていく。したがって、係数メモリ14の読出アドレスの領域は、サンプリング周期 τ_0 ごとに1アドレスずつずれていき、順次下位のインパルス応答の係数パラメータが読出されていく。このようにして、適応形動作パラメータの読出が行なわれる。

係数メモリ14から出力されたインパルス応答の係数パラメータは、周波数特性制御回路10に入力される。周波数特性制御回路10は、例えば前記第11図のように構成されて、入力されるインパルス応答の係数パラメータに所定のフィルタ特性を付与する。第11図の周波数特性制御回路10を用いる場合、その入力信号の周期はクロックC1の周期 τ_0 でなく、クロックC8の周期であるので、第11図の回路におけるフィルタ特性付与のためのたたみ込み演算の速度もそれに合わせて変更する。

なお、第19図のインパルス応答の係数パラメータを周波数特性制御回路10に通してフィルタ特性を付与した場合の一例を第20図に示す(第20図では、適応形でなく全ての係数パラメータを通した場合を示している。)

周波数特性制御回路10からクロックC8の周期で順次読み出されるフィルタ特性の付与されたインパルス応答の係数パラメータは、これと同期してデータメモリ152から出力される入力信号のデータと乗算器164で乗算される。この乗算値は、加算器166とレジスタ168からなるアキュムレータで累算され、1サンプリング周期 τ_0 ごとに得られる総累算値はクロックC1によってレジスタ170にラッチされる。このようにして、レジスタ170からは周波数特性の付与された残響信号が出力される。

なお、比較器160の出力を周波数特性制御回路10におけるフィルタ特性クロスフェード用トリガ信号TRG(第11図)として用いることができる。また、第18図の構成においても、前記第8図に示したような残響音の減衰とともにフィルタ特性を順次切替えていく制御が可能である。

〔発明の効果〕

以上説明したように、この発明によれば、入力信号が途絶したときに残響信号の高域が早く減衰するようにフィルタ特性を時間的に変化させるようにしたので、自然界における残響音を忠実に再現することができる。また、フィルタ特性を時間的に変化させて残響信号の高域が早く減衰するようにしたので、周波数帯域ごとに残響付加手段を設けて、高域を早く減衰させるように個別に残響信号を生成する場合に比べて装置規模が小さくてすむ。

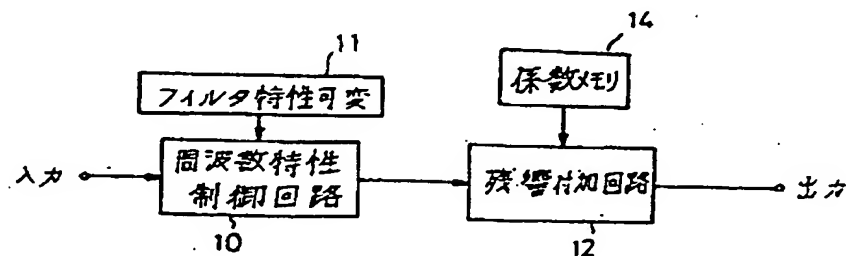
図面の簡単な説明

第1図は、この発明の第1実施例を示すブロック図である。第2図は、インパルス応答を示す図である。第3図は、第2図のインパルス応答をパラメータとしてたたみ込み演算により残響付加を行なう回路を示す回路図である。第4図は、この発明の第2実施例を示すブロック図である。第5図は、この発明の第3実施例を示すブロック図である。第6図は、第1図、第4図、第5図の周波数特性制御回路10の一例を示す回路図である。第7図は、第6図のクロスフェード用係数 x 、 y の時間的な変化を示す線図である。第8図は、第6図の周波数特性制御回路10を用いて、減衰する残響信号に対して順次フィルタ特性を変化させていく状態を示すタイムチャートである。第9図は、第8図の動作において使用される各フィルタ特性を示す図である。第10図は、第6図におけ

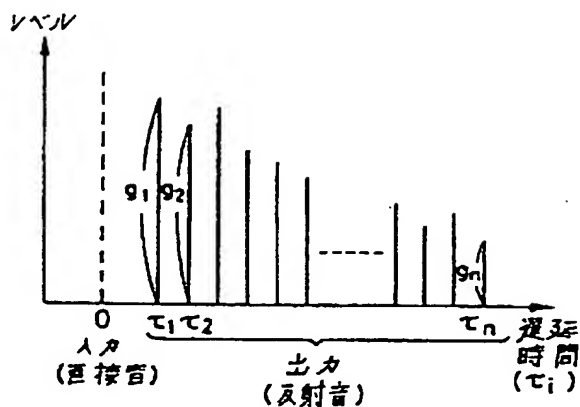
るフィルタ16、18を巡回形フィルタで構成した一例を示す回路図である。第11図は、非巡回形フィルタを用いて構成した第6図の周波数特性制御回路10の構成例を示すブロック図である。第12図は、非巡回形フィルタの原理を示す図である。第13図は、第11図の回路の動作を示すタイムチャートである。第14図は、第1図、第4図の実施例における残響付加回路12の構成例を示すブロック図である。第15図は、第14図の回路の動作を示すタイムチャートである。第16図および第17図は、第1図の実施例において第8図のフィルタ特性切替動作を実現するための周波数特性制御回路10および残響付加回路12の構成例である。第18図は、第5図の実施例の構成例を示すブロック図である。第19図は、第18図における係数メモリ14に記憶されるインパルス応答のパラメータの一例を示す図である。第20図は、第18図における周波数特性制御回路10から出力されるフィルタ特性の付与されたインパルス応答のパラメータを示す図である。

10……周波数特性制御回路（周波数特性制御手段）、11……フィルタ特性可変手段、12……残響付加回路（残響付加手段）、14……係数メモリ、104、134、158……ゼロ検出回路（入力途絶検出手段）。

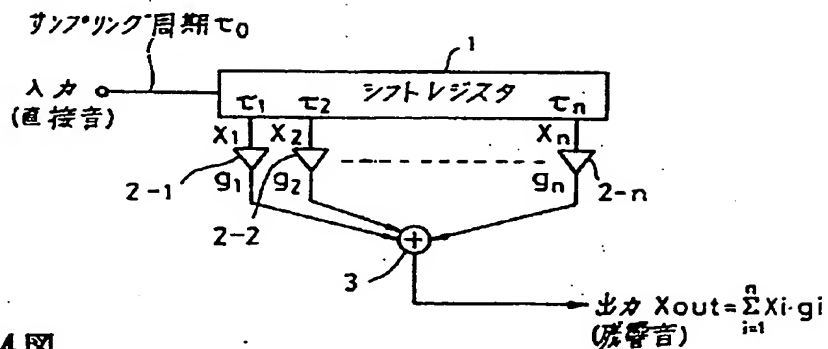
第1図



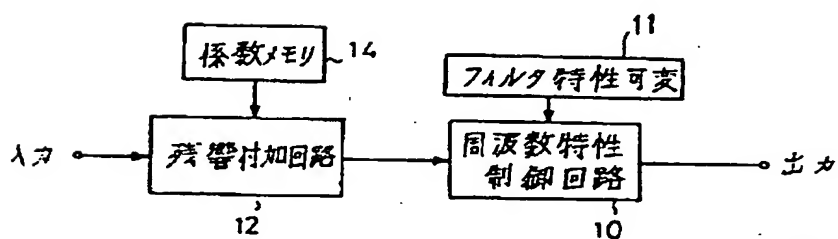
第2図



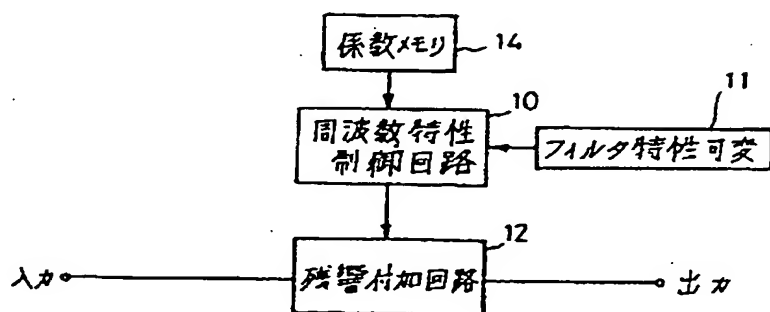
第3図



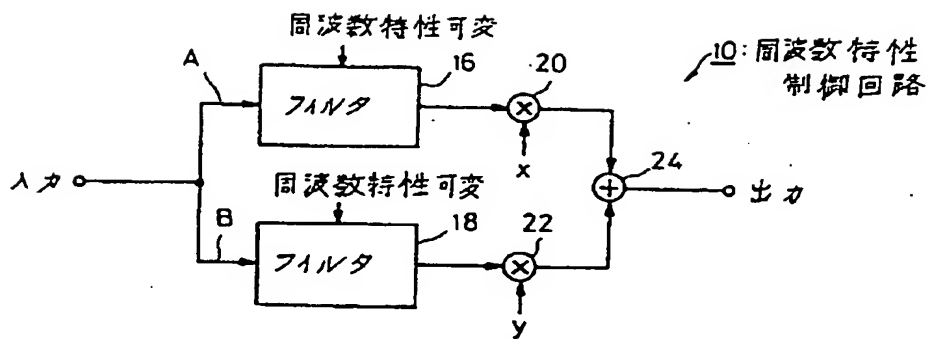
第4図



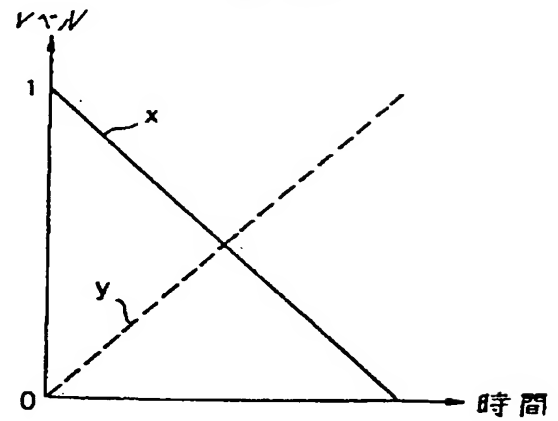
第5図



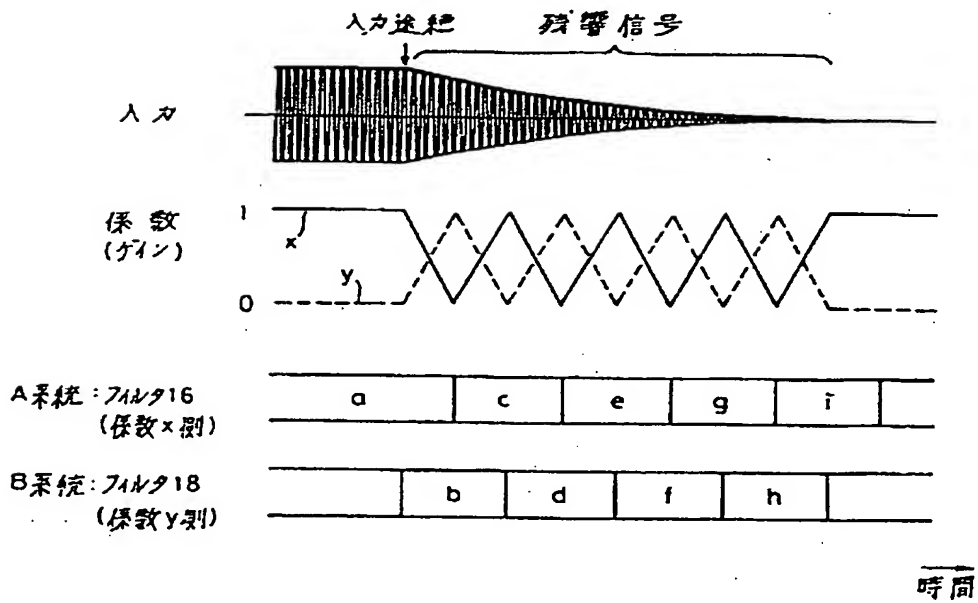
第6図



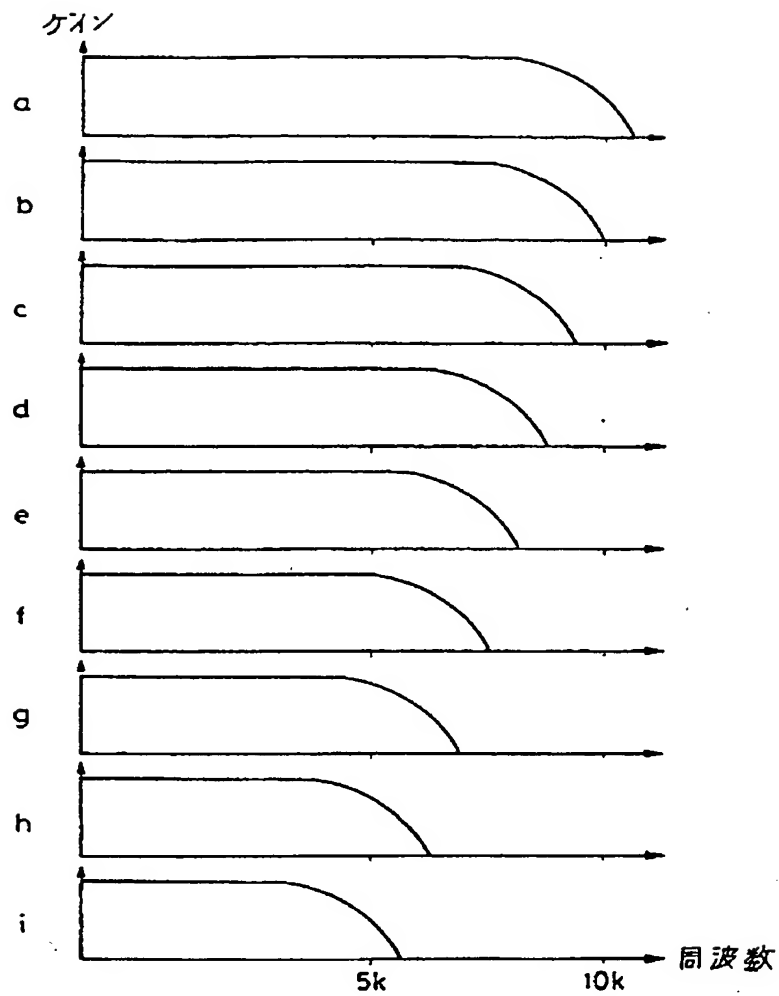
第7図



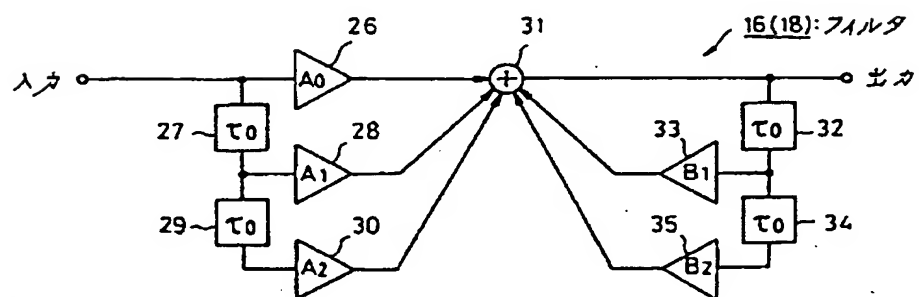
第8図



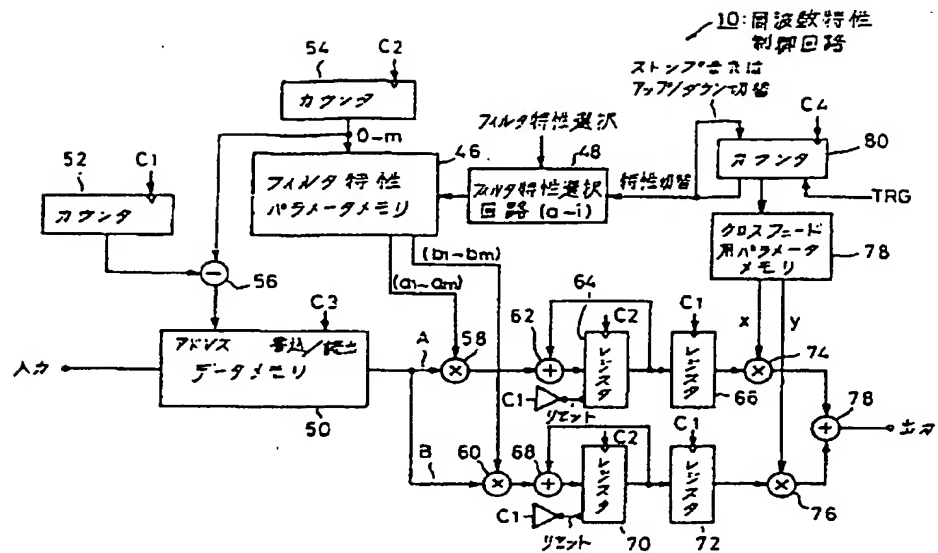
第 9 図



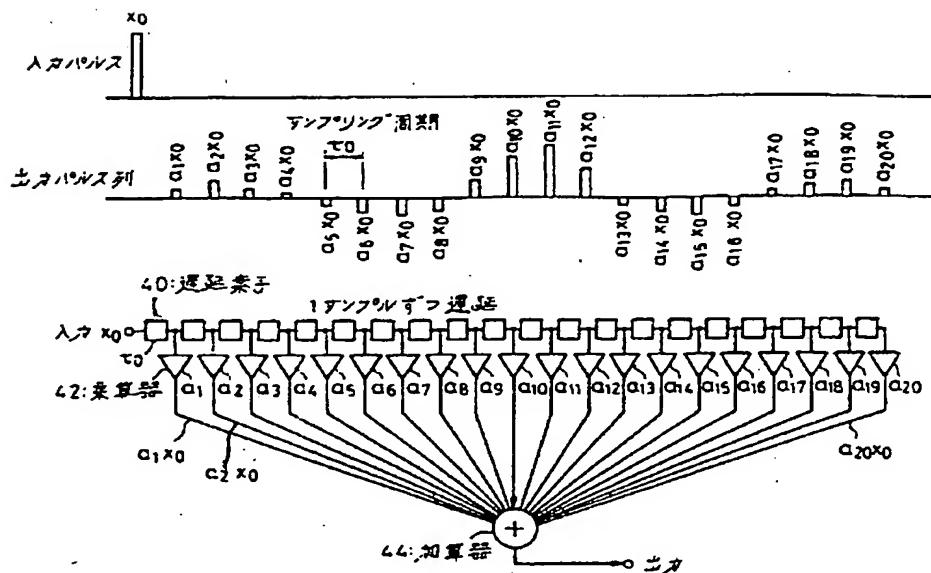
第 10 図



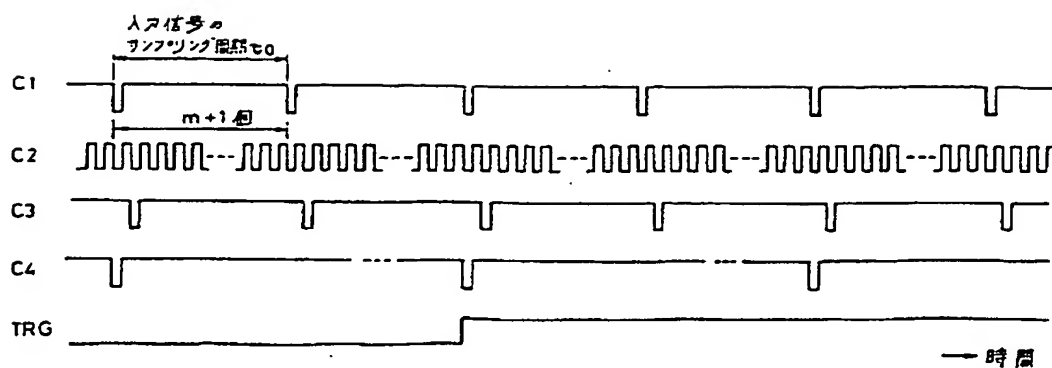
第 11 図



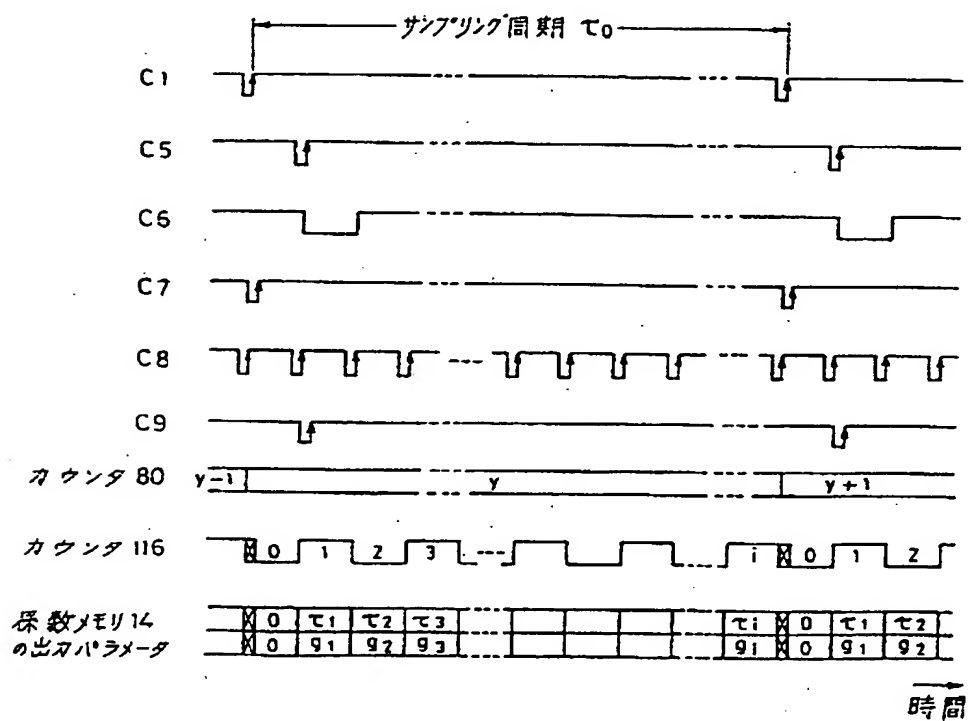
第 12 図



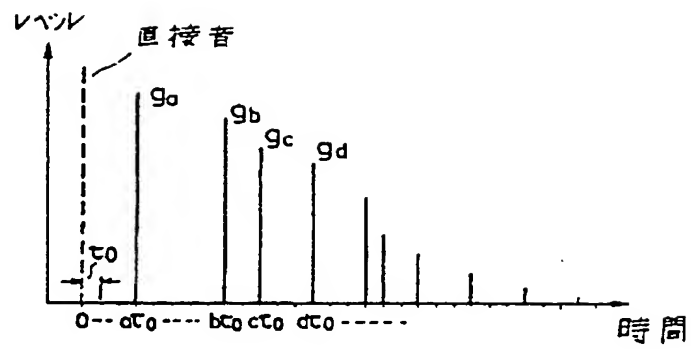
第 13 図



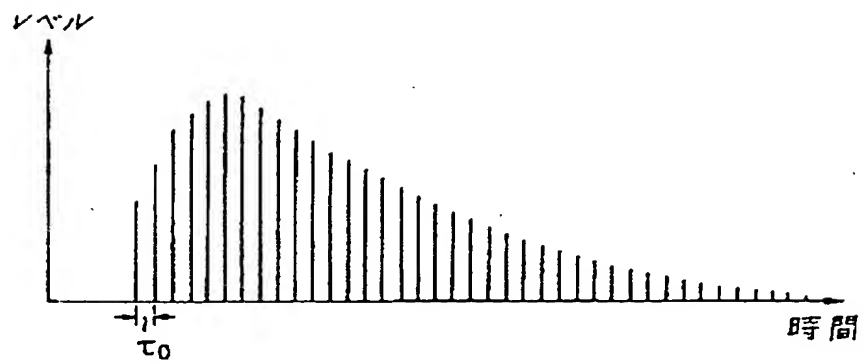
第 15 図



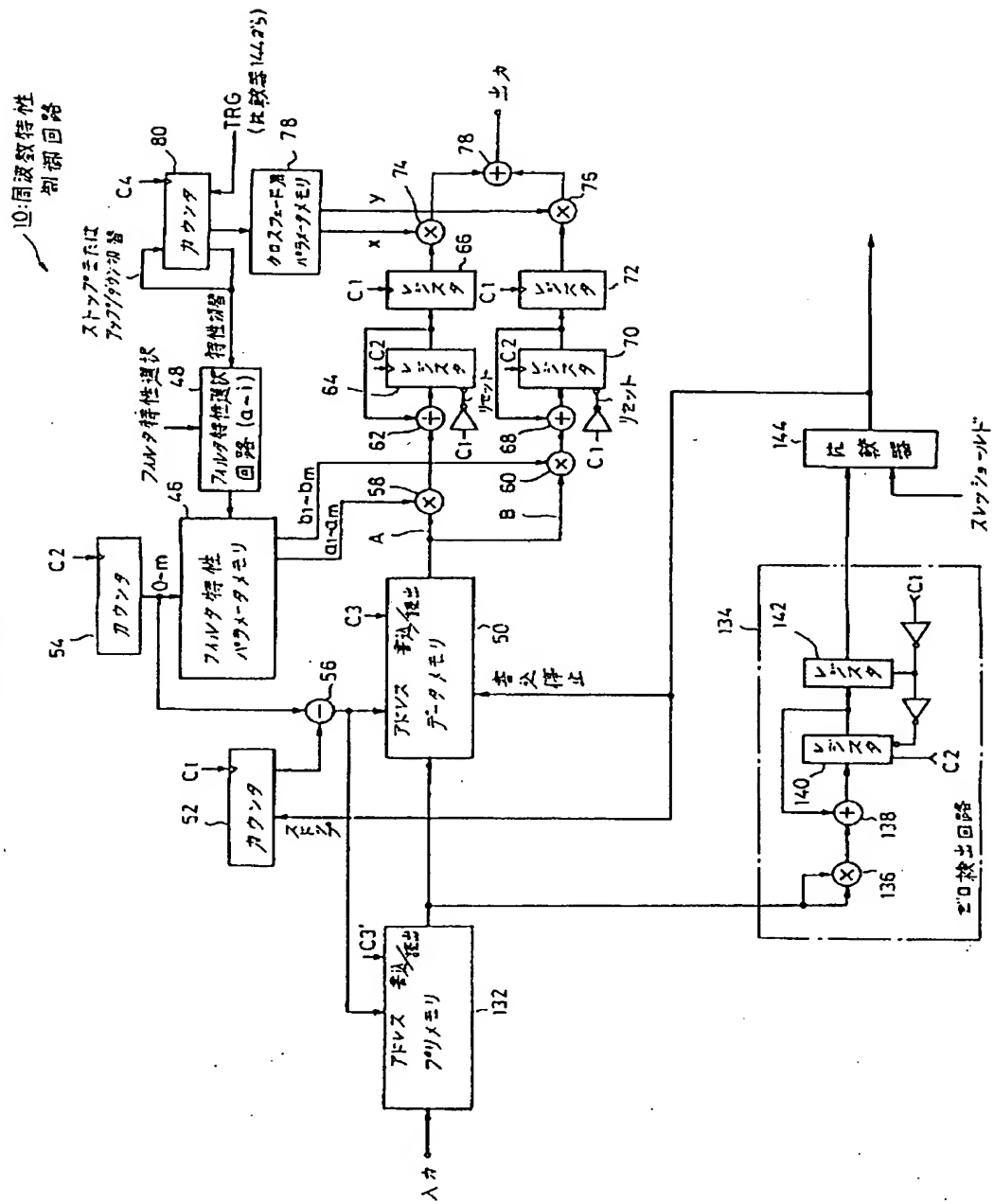
第 19 図



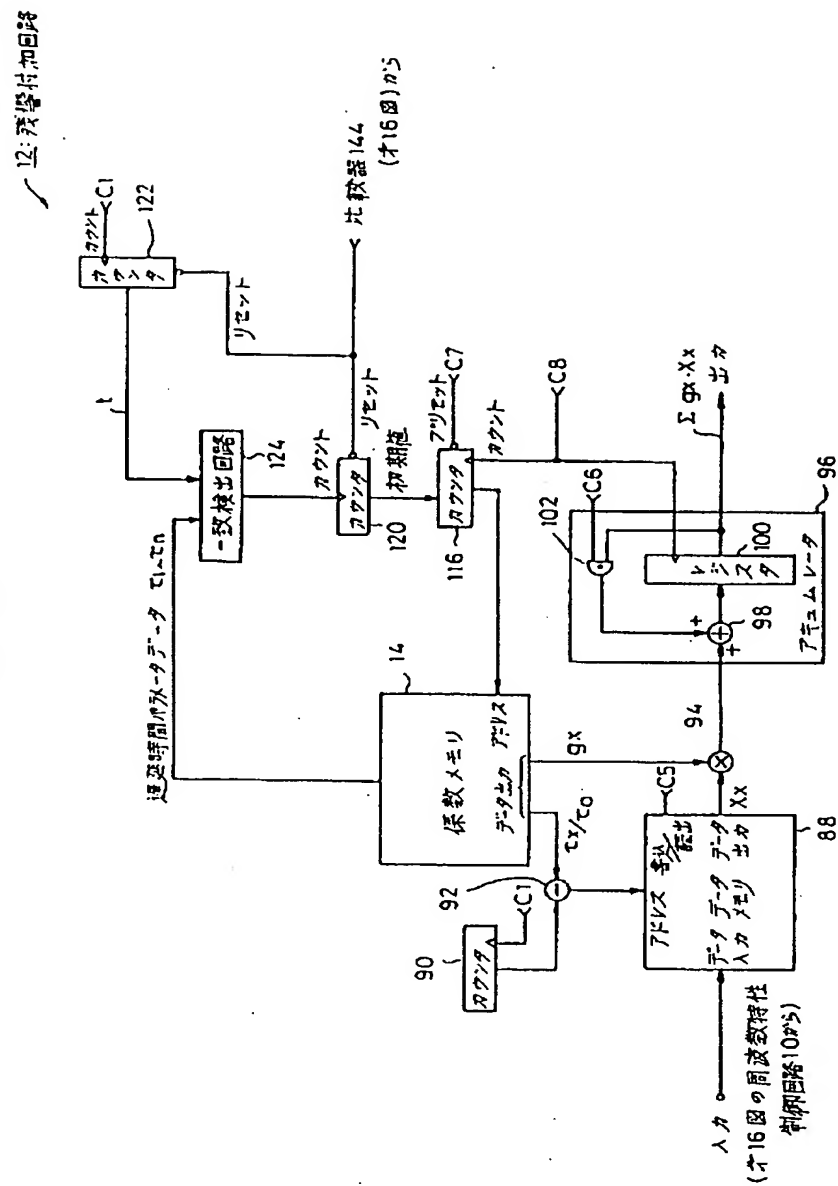
第 20 図



10. 同波数特性



第17図



第 18 図

